

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-143405

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

H04N 5/335

(21)Application number : 05-289077

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.11.1993

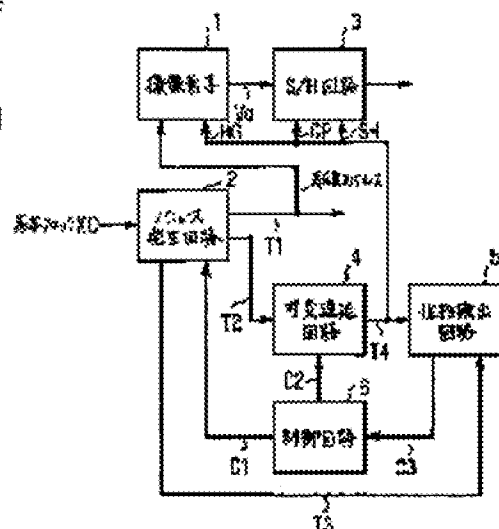
(72)Inventor : KOSHIO KAZUHIRO  
NISHIZAWA AKIHITO  
OTSUBO HIROYASU

## (54) IMAGE PICKUP DEVICE

## (57)Abstract:

PURPOSE: To adjust phases of a drive pulse, a sampling pulse SP and a clamp pulse CP optimizngly by utilizing a delay circuit built in an IC of the image pickup device without an external analog delay element added to the IC.

CONSTITUTION: A pulse T2 representing the SP and the CP is delayed by a variable delay circuit 4, in which the phase is adjusted, and a pulse T4 is outputted. Then a phase detection circuit 5 obtains phase data representing the relation of the phases of the pulses T3, T4 corresponding to a drive pulse, optimum delay data are obtained by a control circuit 6, the result is fed to the variable delay circuit 4, in which the delay, that is, the phase is adjusted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-143405

(43) 公開日 平成7年(1995)6月2日

(51) Int. Cl.<sup>8</sup>

H 0 4 N 5/335

識別記号

P

序内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21) 出願番号 特願平5-289077

(22) 出願日 平成5年(1993)11月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 古塩 和博

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(72) 発明者 西澤 明仁

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(72) 発明者 大坪 宏安

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

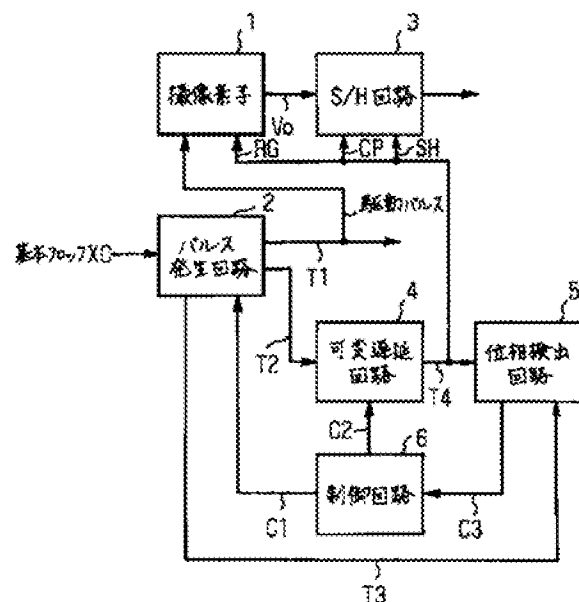
(74) 代理人 弁理士 並木 昭夫

(54) 【発明の名称】 撮像装置

(57) 【要約】

【目的】 撮像装置において、アナログの遅延素子を I C に外付けすることなく、I C 内蔵の遅延回路を利用して駆動パルス、サンプリングパルス S P 及びクランプパルス C P 間の最適な位相調整を可能にする。

【構成】 S P と C P を表わすパルス T 2 を可変遅延回路 4 で遅延させて位相調整し T 4 として出力することとし、位相検出回路 5 で、駆動パルスに相当する T 3 と、T 4 との位相関係を示す位相データを求め、これから最適な遅延データを制御回路 6 で求め遅延データ C 2 として可変遅延回路 4 に供給して遅延つまり位相調整を行う。



## 【特許請求の範囲】

【請求項1】 撮像デバイスを構成する撮像素子を駆動して信号出力を取り出すための駆動パルスと、取り出された前記信号出力を一定時間クランプするためのクランプパルスと、クランプ終了後、信号出力をサンプル・ホールドするためのサンプリングパルスと、を少なくとも発生するパルス発生回路を備えた撮像装置において、基本クロックを供給されると、該クロックの1又は(1/2)周期単位で位相を調整された前記駆動パルス、クランプパルス及びサンプリングパルスを、それぞれ所定の位相で発生する前記パルス発生回路と、

前記駆動パルス、クランプパルス及びサンプリングパルスのうち、駆動パルスを基準パルスとすると、該基準パルスを除く他のパルスを入力され、単位ゲート遅延時間を $d$ とすると、値 $n$ (但し $n$ は整数)を記憶しておいて、その $n$ 倍の時間 $d \cdot n$ だけ該入力パルスを遅延させて出力する可変遅延回路と、

前記基準パルスと前記可変遅延回路の出力パルスである遅延パルスとを取込み、基準パルスに対する遅延パルスの位相関係を示す位相データを検出する位相検出回路と、

と、検出された前記位相データを前記位相検出回路から与えられると、この位相データと前記可変遅延回路における時間 $d \cdot n$ とから、該単位ゲート遅延時間 $d$ に相当する位相量を割り出し、さらに、該単位ゲート遅延時間 $d$ の表わす位相量から、前記基準パルスに対して前記遅延パルスが、既知の最適位相になるまで、該遅延パルスを遅延させるのに必要な前記 $n$ の値を改めて位相情報として演算により求め、前記可変遅延回路に記憶されている $n$ の値を、その位相情報で書き替える制御回路と、を具備したことを特徴とする撮像装置。

【請求項2】 撮像デバイスを構成する撮像素子を駆動して信号出力を取り出すための駆動パルスを発生する第1のパルス発生回路と、取り出された前記信号出力を一定時間クランプするためのクランプパルス及びクランプ終了後、信号出力をサンプル・ホールドするためのサンプリングパルスを少なくとも発生する第2のパルス発生回路と、を備えた撮像装置において、基本クロックを供給されると、該クロックの1又は(1/2)周期単位で位相を調整された前記駆動パルスを基準パルスとして所定の位相で発生する前記第1のパルス発生回路と、

前記第1のパルス発生回路へ供給される前記基本クロックを入力され、単位ゲート遅延時間を $d$ とすると、値 $n$ (但し $n$ は整数)を記憶しておいて、その $n$ 倍の時間 $d \cdot n$ だけ該基本クロックを遅延させて出力する可変遅延回路と、前記可変遅延回路の出力クロックである遅延クロックを供給されると、該遅延クロックの1又は(1/2)周期単位で位相を調整された前記クランプパルス及びサン

プリングパルスを所定の位相で発生する前記第2のパルス発生回路と、

前記第1のパルス発生回路から出力される基準パルスと前記第2のパルス発生回路の出力パルスとを取込み、基準パルスに対する該出力パルスの位相関係を示す位相データを検出する位相検出回路と、

検出された前記位相データを前記位相検出回路から与えられると、この位相データと前記可変遅延回路における時間 $d \cdot n$ とから、該単位ゲート遅延時間 $d$ に相当する位相量を割り出し、さらに、該単位ゲート遅延時間 $d$ の表わす位相量から、前記基準パルスに対して前記第2のパルス発生回路の出力パルスが、既知の最適位相になるまで、該出力パルスを遅延させるのに必要な前記 $n$ の値を改めて位相情報として演算により求め、前記可変遅延回路に記憶されている $n$ の値を、その位相情報で書き替える制御回路と、

を具備したことを特徴とする撮像装置。

【請求項3】 請求項1又は2に記載の撮像装置において、前記可変遅延回路が、

1ゲート当り遅延時間 $d$ の複数ゲートを直列接続してなる遅延素子と、該遅延素子を構成する直列接続の前記複数ゲートの各々を信号が通過又はバイパスするように信号路を切り替える各ゲート毎の切替スイッチと、記憶しておく前記値 $n$ に応じて信号通過側にゲートを切り替える前記切替スイッチの数を決定してそのように切り替えることにより遅延量を可変する手段と、から成ることを特徴とする撮像装置。

【請求項4】 請求項1、2又は3に記載の撮像装置において、撮像装置内の温度を検知し温度情報として出力する温度センサと、該センサから温度情報を与えられると前記可変遅延回路における遅延素子の温度特性に依存して温度補償を行うよう前記位相情報としての $n$ の値を修正する前記制御回路と、を具備したことを特徴とする撮像装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、撮像装置に関するものであり、更に詳しくは、撮像デバイスを構成する撮像素子を駆動して信号出力を取り出すための駆動パルスと、取り出された前記信号出力を一定時間クランプするためのクランプパルスと、クランプ終了後信号出力をサンプル・ホールドするためのサンプリングパルスと、を少なくとも発生するパルス発生回路を備えた撮像装置に関するものである。

【0002】一般に、固体撮像素子を駆動パルスにより駆動して信号出力を取り出す際に発生する主なランダム雑音源の一つとして、信号検出時のリセット雑音があり、かかる雑音を低減する方法として相関二重サンプリング法が知られている。この相関二重サンプリング法を実施する都合上、信号出力をサンプル・ホールドするた

めのサンプリングパルスに先立ってクランプパルスを発生することが必要となるのである。

【0003】本発明は、具体的には、パルス発生回路から発生される、かかる駆動パルス、クランプパルス及びサンプリングパルスの相互間の最適な位相調整を可能にして表示画像の高画質化を図るための、かかる位相調整に関するものである。

【0004】

【従来の技術】図2は、上述の駆動パルス、クランプパルス及びサンプリングパルスがパルス発生回路から発生して、どのように機能するかを示すための従来回路を示す回路図である。同図において、1は撮像素子、2は各種タイミングのパルスを発生するパルス発生回路、3はサンプルホールド回路（以下、S/H回路と略称する）である。S/H回路3において、31は直流遮断用コンデンサ、32はクランプ用スイッチ、33はクランプ電位を与える電圧源、34はサンプリング用スイッチ、35はホールド用コンデンサである。

【0005】図3は、図2における各部パルスのタイミング関係を示すタイミングチャートである。図3において、XCは基本クロック、H1及びH2は撮像素子1における各画素の電荷の水平転送用のパルス、RGは前記電荷を電圧に変換するときに使用するパルス、である。なお、これらH1及びH2パルスと、RGパルスは、駆動パルスとして総括される。

【0006】そのほか、図3において、Voは撮像素子1の出力、CPは出力Voをクランプするパルス、SHは出力Voをサンプリングするパルスであるが、図3におけるRG、CP及びSHの各パルスは、相互に最適なタイミング位置関係にあるものとして図示している。

【0007】図2に戻り、パルス発生回路2は、基本クロックXCを入力され、これにより撮像素子1の駆動パルス（H1及びH2パルス、RGパルス等）、S/H回路3におけるサンプルホールド処理に必要なパルス（クランプパルスCP、サンプリングパルスSH）を作成し、発生する。つまりパルス発生回路2において、図示せざる発振器から必要なタイミングで、これらパルスを発生させていたわけである。

【0008】以下、図2、図3を参照して回路動作を説明する。撮像素子1は、垂直駆動パルス及び水平駆動パルスH1及びH2により転送されてきた電荷を、パルスRGにより電荷から電圧に変換して、出力Voを出力する。しかし、出力Voには、各画素毎ほぼ一様にノイズ（上述のリセット雑音の如きランダムノイズ）が含まれている。

【0009】そこで、ノイズを除去するために、S/H回路3は、フローティング期間Tf内の電圧安定期間において出力Voを、クランプパルスCPによりクランプ用スイッチ32を切り換えることでクランプし、さらに、信号出力期間TsにおいてサンプリングパルスSH

によりサンプリング用スイッチ34を切り換えることでサンプリングすることにより、必要な映像成分のみ取り出し、ノイズは除去するようにしていた。

【0010】なお関連二重サンプリング回路については、テレビジョン学会編「テレビジョン画像情報工学ハンドブック」1990年11月30日・株式会社オーム社発行の第180頁に記載があり、そのほか関連した従来技術を示す文献として特開平4-51787号公報を挙げる事ができる。

【0011】

【発明が解決しようとする課題】上記従来技術では、各パルス（駆動パルス、CPパルス、SHパルス）の位相の最適化に、パルス発生回路2内で、図示せざる抵抗及びコンデンサ等のアナログの遅延素子を使用することにより対応させていた。パルス発生回路2において発生できるパルスのタイミングは、その発振器の発振周期またはその（1/2）の周期で調整可能であるが、その調整の一例を図3を用いて説明する。

【0012】図3において、発振器の周期をTとすると、その出力パルスはXCに示されるデジタルパルス（基本クロック）になる。よって、T/2より短い時間でパルス（基本クロック）を変化させることはできないため、もし、パルスH1と等しい周期で、（T/2）期間だけH（ハイレベル）になるパルスを発生させるとすれば、発生可能なものは、P1～P4の4種類だけである。

【0013】よって、図3に示すようなタイミングのパルスRG、CP及びSHは、何れも上記4種類には属さないで直接的にはこれを発生させることができない。そこで、パルスRGならば、パルスP4を時間t1だけ遅延素子で遅延させることにより生成し、同様にパルスCPならば、パルスP1を時間t2だけ遅延素子で遅延させることにより生成し、パルスSHならば、パルスP3を時間t3だけ、遅延素子で遅延させることにより生成していた。

【0014】しかし、このような遅延に用いる遅延素子ごとに遅延時間のバラツキが生じた場合、そのようにバラツいた遅延素子を用いるのでは、各パルス（RG、CP及びSH）間の相対的な最適位相調整の実現は、困難になるという問題があった。また、回路の合理化による小型化及び部品点数の削減を考え併せると、回路をIC化し、その外付け部品もできるだけ少なくしたいので、前記遅延素子もICに外付けせずに、それと等価な回路をIC内蔵にしたい。

【0015】しかしこの場合、同一IC内ではプロセスの性能はほぼ等しいため、遅延素子1段当りの遅延時間のバラツキはないと考えられるが、ICごとと比較すると、プロセスの性能が異なるため、遅延時間にバラツキが生じ、バラツいた遅延素子を用いることになるので各パルス（RG、CP及びSH）間の相対的な位相調整が

困難になる。

【0016】従って、本発明の目的は、従来ICに外付けされていた駆動パルス等の位相調整用のアナログ遅延素子を、デジタル化してIC内蔵にし、さらに、駆動パルスを最適位相に調整することができる位相調整手段を設けることにより、表示画像の高画質化を図ることを可能とする撮像装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的達成のため、本発明では、撮像デバイスを構成する撮像素子を駆動して信号出力を取り出すための駆動パルスと、取り出された前記信号出力を一定時間クランプするためのクランプパルスと、クランプ終了後、信号出力をサンプル・ホールドするためのサンプリングパルスと、を少なくとも発生するパルス発生回路を備えた撮像装置において、前記パルス発生回路のほか、可変遅延回路と、位相検出回路と、制御回路と、を具備することとした。

【0018】

【作用】前記パルス発生回路は、基本クロックを供給されると、該クロックの1又は(1/2)周期単位で位相を調整された駆動パルス、クランプパルス及びサンプリングパルスを、それぞれ所定の位相で発生する。可変遅延回路は、前記駆動パルス、クランプパルス及びサンプリングパルスのうち、駆動パルスを基準パルスとすると、該基準パルスを除く他のパルスを入力され、単位ゲート遅延時間をdとすると、値n(但しnは整数)を記憶しておいて、そのn倍の時間d・nだけ該入力パルスを遅延させて出力する。

【0019】位相検出回路は、前記基準パルスと前記可変遅延回路の出力パルスである遅延パルスとを取込み、基準パルスに対する遅延パルスの位相関係を示す位相データを検出する。制御回路は、検出された前記位相データを前記位相検出回路から与えられると、この位相データと前記可変遅延回路における時間d・nとから、該単位ゲート遅延時間dに相当する位相量を割り出し、さらに、該単位ゲート遅延時間dの表わす位相量から、前記基準パルスに対して前記遅延パルスが、既知の最適位相になるまで、該遅延パルスを遅延させるのに必要な前記nの値を改めて位相情報として演算により求め、前記可変遅延回路に記憶されているnの値を、その位相情報で書き替える。

【0020】よって、本発明による撮像装置は、従来ICに外付けされていた遅延用のアナログ素子を削除し、それに代わる遅延素子をICに内蔵しても、ICごとのプロセスの性能のバラツキに関係なく遅延時間を制御でき、その結果、最適なタイミングで撮像素子の駆動及びその出力のサンプルホールド処理ができ、高画質化を図ることができる。

【0021】

【実施例】以下、本発明の実施例を図面を用いて説明す

る。図1は、本発明の一実施例としての撮像装置における要部(駆動パルス、クランプパルス及びサンプリングパルスの間の相対位相を調整する位相調整手段)を示すブロック図である。同図において、1は撮像素子、2はパルス発生回路、3はS/H(サンプルホールド)回路、4は可変遅延回路、5は位相検出回路、6は制御回路、である。

【0022】図1において、撮像素子1は、外部から入力される光(光学像)を電荷に変換し、この電荷を駆動パルス(垂直及び水平駆動パルスH1及びH2)により出力部まで転送し、リセットゲートパルスRGのタイミングで前記転送されてきた電荷を電圧に変換した後に出力Voとして出力する。

【0023】S/H回路3は、撮像素子1の出力信号Voが入力されると、クランプパルスCPとサンプリングパルスSHを利用して、先に述べた相關二重サンプリング法によりノイズを除去し、必要な出力信号だけを出力する。パルス発生回路2は、発生するパルスの立上がり立下がり決定するタイミングデータC1を、制御回路6から与えられて、これを記憶する第1の記憶手段を備え、周期Tの基本クロックXCが供給されると、該タイミングデータC1に基づき、パルスT1~T3を発生する。

【0024】可変遅延回路4は、制御回路6から与えられる遅延データC2を記憶する第2の記憶手段を備え、パルス発生回路2からパルスT2を供給されると、遅延データC2に基づきパルスT2を遅延させることにより生成したパルスT4を出力する。位相検出回路5は、パルス発生回路2から基準パルスT3を、可変遅延回路4からパルスT4を供給されると、基準パルスT3に対するパルスT4の位相関係を示す位相データC3を検出して出力する。

【0025】制御回路6は、適当なタイミングデータC1をパルス発生回路2における前記第1の記憶手段に供給し、パルス発生回路2は、このタイミングデータC1に基づき、周期Tの基本クロックXCからパルスT1~T3を生成し、所定のタイミングで出力する。制御回路6は、また、位相検出回路5から位相データC3が供給されると、それにより基準パルスT3に対するパルスT4の位相関係を知り、該位相関係が最適な位相関係となるための遅延データC2を、演算手段(図示せず)において演算により求め、それを可変遅延回路4における前記第2の記憶手段に供給し、可変遅延回路4は該遅延データC2に基づいて入力パルスT2の遅延を行う。

【0026】なお、パルスT1は位相調整を必要としないパルス(つまり基準パルスとみなせるパルス)、パルスT2は位相調整を必要とするパルス(クランプパルスやサンプリングパルス)、パルスT3は位相調整を行なうときの位相の基準パルス、また、パルスT4はパルスT2を遅延させることにより得られるパルスであり、か

つ、パルスT1～T4は必ずしも、それぞれが1種類のパルスとは限らず、例えば、パルスT1は、撮像素子1を駆動するための前記水平駆動パルスH1、H2及び垂直駆動パルス、さらに、信号処理をするための駆動パルス等に相当する。

【0027】また、パルスT2は、撮像素子1のリセットゲートパルスRG、S/H回路3におけるクランプパルスCP及びサンプリングパルスSHの全体を含むパルスの遅延される前のパルスであり、パルスT4は、その全体を含むパルスの遅延された後のパルスであり、さらに、パルスT3は水平駆動パルスH1に相当するパルスである。

【0028】よって、遅延を必要とするパルスT2が複数個、かつ、それらパルスがそれぞれ異なる遅延を必要とする場合、可変遅延回路4または位相検出回路5も、その個数分、例えば図1の場合は3個(RG, CP, SH)ずつ必要になるが、省略してその1組についてだけ記述するものとする。以下の説明及び説明に使用される図面においても同様である。

【0029】次に、図1における各回路のさらに詳しい動作について説明する。図4は、可変遅延回路4における位相調整を説明するためのタイミングチャートである。いま、基準パルスT3の立下がりタイミングより時間 $t$  ( $0 < t < (T/2)$ )だけ遅延したパルスT4が必要であるとする。

【0030】パルス発生回路2(図1)において、該発生回路2に含まれる発振器の周期がTの場合、制御回路6から与えられるタイミングデータC1では、 $T/2$ の刻みでしかタイミングを設定できないので、T4(図4)のようなタイミングのパルスを発生することはできない。よって、 $T/2$ より細かく遅延時間を設定できる可変遅延回路4において、パルスT2(図1)を遅延させることにより、パルスT4を発生することにするわけである。

【0031】可変遅延回路4は、制御回路6から与えられる遅延データC2により、時間dの刻みで入力信号を遅延して出力することができるものとする。図5は、図1における可変遅延回路4と位相検出回路5の具体的な回路例を示すブロック図である。図5において、401～40nはそれぞれ遅延回路、411～41nはそれぞれスイッチ、42は前記第2の記憶手段である。

【0032】遅延回路401～40nは、遅延時間dのゲートにより構成した遅延素子が、それぞれ1, 2, 3, ..., n個直列につながれ、それぞれ遅延時間がほぼd, 2・d, ..., n・dの遅延量をもつ遅延回路である。スイッチ411～41nは、それぞれ遅延回路401～40nの不通過(端子a側)と通過(端子b側)を選択する。これらの選択は、それぞれ第2の記憶手段42から供給される遅延データC21～C2n(論理0のとき端子a側、論理1のとき端子b側に接続)により決

定される。

【0033】第2の記憶手段42は、制御回路6から供給されるC21～C2nから成るnビットの遅延データC2を記憶しておき、切り換えの制御信号としてスイッチ411～41nに供給する。可変遅延回路4における遅延時間をD(C2)とすると、遅延時間D(C2)は以下の式1により表される。

$$D(C2) = C2 \cdot d + D' \quad (\text{式1})$$

ここで、D'は、各素子パラツキによる遅延時間の誤差と、スイッチを通過するのに要する時間と、の合計である。

【0034】位相検出回路5は、フリップフロップ(以下、FFと呼ぶ)51で構成され、パルスT4をデータとして、基準パルスT3をクロックとして供給されると、基準パルスT3の立ち上がりでパルスT4をラッチし、その出力(位相データ)C3を制御回路6に供給する。

【0035】制御回路6は、図示せざる演算手段を備えており、演算手段において位相検出回路5から供給される位相データC3より、前記遅延素子1個当たりの平均遅延時間dを求め、さらに、前記遅延時間dより可変遅延回路4に供給する遅延データC2を求める。

【0036】図6は、制御回路6において遅延データC2を求める動作の一例を示すフローチャートである。以下、図3、図4及び図6を主に用いて、遅延データC2を求めることにより位相調整を行う方法について説明する。

【0037】(ステップS1) タイミングデータC1(図1参照)を、図3におけるパルスP1になるように設定する。また、遅延データC2=0に初期設定する。このとき、図4に示す通り、パルスH1(つまりパルスT3)とパルスT4との間に時間 $t'$ の初期位相差があるものとする。

(ステップS2) FF51において、基準パルスT3の立ち上がりでパルスT4をラッチし、このラッチされた位相データC3を制御回路6に供給する。

【0038】以下、次の(ステップS3)～(ステップS7)の処理は、制御回路6において行う。

(ステップS3) 遅延データC2に1加算し、加算後の遅延データC2を可変遅延回路4に供給する。かくして遅延時間を変更した後に、再びステップS2を実行する。

【0039】(ステップS4) ステップS2, S3を繰返し、途中位相データC3がH(ハイレベル)になった直後、遅延データC2の値Mを記憶する。

(ステップS5) 位相データC3が再びL(ローレベル)になった直後、遅延データC2の値N( $N > M$ )を記憶し、かつステップS2, S3を中止する。

(ステップS6) パルスT4のH(ハイレベル)の区間が $T/2$ であり、また、その区間は遅延素子(N-M)

段分であることより次の式2を得る。

$$(N-M) \cdot d = T/2 \quad (\text{式2})$$

【0040】そして、式2より、次の式3で示される遅延素子1段当たりの平均遅延時間dを求める。

$$d = T / \{2(N-M)\} \quad (\text{式3})$$

また、初期位相差 $t'$ を示す以下の式4を得る。

$$t' = (T/2) - M \cdot d \quad (\text{式4})$$

【0041】よって、パルスT4とパルスT3の位相差を $t$ にするには、時間 $t$ より初期位相差分 $t'$ を引いた値つまり $t - t'$ だけ遅延素子によりパルスT4を遅延させればよく、式3及び式4より、この遅延時間 $t - t'$ を得るために必要な遅延素子の段数つまり遅延データC2の値を示す以下の式5を得る。

$$C2 = (t - t') / d \quad (\text{式5})$$

【0042】(ステップS7)上記式3～式5から算出した最適な遅延データC2を可変遅延回路4に供給し、可変遅延回路4は、遅延データC2に基づき遅延時間を変更する。ただし、上記位相調整方法における演算処理は1例であり、もし、ソフトウェアにより実現すれば、処理方法を変更することもできる。

【0043】以上より本実施例によれば、撮像装置において、遅延用のアナログ素子を使用せず、これに相当する遅延回路をICに内蔵することにより回路の合理化ができ、また、撮像素子の駆動及びサンプルホールド処理に必要なパルスを最適なタイミングになるように調整できるため、高画質化を図ることができる。

【0044】次に、本発明の他の実施例について説明する。図7は、本発明の他の実施例としての撮像装置における要部（位相調整手段）を示すブロック図である。図7において図1と異なる点は、可変遅延回路4が可変遅延回路7に変わり、基本クロックXCを入力するようにした点である。また、図8は、図7における可変遅延回路7の具体例を示すブロック図であり、図9は位相調整方法を説明するためのタイミングチャートである。

【0045】以下、図7～図9を用いて本実施例における位相調整方法について説明する。図8において、4は前記実施例における可変遅延回路4を示し、71及び72はそれぞれフリップフロップである。可変遅延回路4は、入力された基本クロックXCをタイミングデータC2に基づき遅延させて、遅延クロックXC'を生成、出力し、FF71は、遅延クロックXC'の立上がりでパルスT2をラッチし、パルス74Aを出力し、FF72は遅延クロックXC'の立下がりでパルス74Aをラッチし、パルス74Bを出力し、AND74はパルス74Aとパルス74Bを入力してパルスT4を出力する。

【0046】つまり、可変遅延回路7は、前実施例における可変遅延回路4と同様に、パルスT2を制御信号（遅延データ）C2に基づき遅延させてパルスT4を出力する。よって、その他の回路も前実施例と同様に動作させることにより、単位遅延時間d及びパルスT4を最適

位相にするためのタイミングデータC2を得ることができる。

【0047】いま、図9に示されるように、基準パルスT3に対して時間 $t$ だけパルスT2を遅延させることにより生成されるパルスT4が必要な場合、基準パルスT3に同期した基本クロックXCを時間 $t$ だけ遅延させることにより、遅延クロックXC'を生成し、遅延クロックXC'の立上がりでパルスT2をラッチし、ラッチ後の出力パルス74Aをさらに遅延クロックXC'の立下がりでラッチし、ラッチ後の出力パルス74Bと前記パルス74AのANDをとることで最適位相のパルスT4を生成できる。

【0048】以上本実施例においても、前記実施例と同様に高画質化の効果が得られる。さらに、本発明の他の実施例について説明する。図10は、本発明の更に他の実施例としての撮像装置における要部（位相調整手段）を示すブロック図である。図10において、図1と異なる点は、遅延を必要とするパルスT2を発生するための回路をパルス発生回路2から分離して、パルスT2を遅延させたパルスT4のみを発生するパルス発生回路8を設けたことである。

【0049】以下、図10を用いて本実施例における位相調整方法について説明する。図10において、パルス発生回路2は、基本クロックXCが供給されると、遅延を必要としないパルスT1及び基準パルスT3を発生する。基本クロックXCが供給されると、可変遅延回路4は遅延データC2に基づき基本クロックXCを遅延させ、遅延クロックXC'として出力する。そして、遅延クロックXC'が供給されると、パルス発生回路8は、パルスT4を発生する。パルスT4は、遅延クロックXC'に対応して遅延するので、基本クロックXCを前記実施例と同様な処理で遅延させることにより、最適位相のパルスT4が得られる。以上本実施例においても前記実施例と同様に高画質化の効果が得られる。

【0050】さらに、本発明の別の実施例について説明する。図11は、本発明の更に別の実施例としての撮像装置における要部（位相調整手段）を示すブロック図である。図11において図1と異なる点は、温度センサ9を設けたことである。

【0051】以下、図11を用いて本実施例における位相調整方法について説明する。図11において、温度センサ9は撮像装置内の温度を検知し、温度データC4を出力する。温度データC4が供給されると、制御回路6は温度特性に基づき第2の記憶手段における第2の位相情報を書き換える。

【0052】制御回路6は前記実施例と同様に遅延データC2を求める演算手段の他に、温度センサ9から温度データC4が供給されると、温度特性に基づき遅延データC2の補正を行う温度特性補正手段とを備え、補正の結果に応じて第2の記憶手段における遅延データC2を

書き換える。

【0053】温度特性補正手段は、例えば、演算手段を備え、温度特性に基づき遅延データC2を演算により補正する方法、または、温度データC4に対応する遅延データC2が記憶された変換テーブルを備え、変換テーブルに基づき遅延データC2を補正する方法等がある。

【0054】以上本実施例においては、撮像装置の使用時における温度に影響されることなく、前記実施例と同様な高画質化の効果が得られる。例えば、工場における生産時に予め最適な位相になるように自動的に調整を行なった場合、実際に使用するときの温度が工場における調整時と大幅に違うと、最適位相でなくなる恐れがあるが、温度補正手段を備えていれば、その時の温度に応じて再調整できるという効果がある。

【0055】

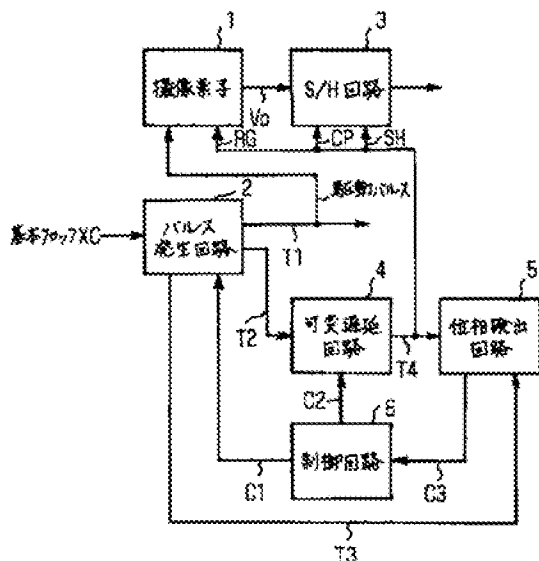
【発明の効果】本発明によれば、撮像装置において、駆動パルスの位相調整をIC外付けのアナログ素子で行わず、IC内蔵の遅延素子により行い、かつ、ICのプロセスのバラツキに影響されることなく常に駆動パルスの最適な位相調整ができるので、高画質化を図ることができ

【図面の簡単な説明】

【図1】本発明の一実施例としての撮像装置における要部（駆動パルス、クランプパルス及びサンプリングパルスの間の相対位相を調整する位相調整手段）を示すブロック図である。

【図2】駆動パルス、クランプパルス及びサンプリングパルスがパルス発生回路から発生して、どのように機能\*

【図1】



\*するかを示すための従来回路を示す回路図である。

【図3】図2における各部パルスのタイミング関係を示すタイミングチャートである。

【図4】図1の可変遅延回路4における位相調整を説明するためのタイミングチャートである。

【図5】図1における可変遅延回路4と位相検出回路5の具体的回路例を示すブロック図である。

【図6】図1の制御回路6において遅延データC2を求める動作の一例を示すフローチャートである。

【図7】本発明の他の実施例としての撮像装置における要部（位相調整手段）を示すブロック図である。

【図8】図7における可変遅延回路7の具体例を示すブロック図である。

【図9】位相調整方法を説明するためのタイミングチャートである。

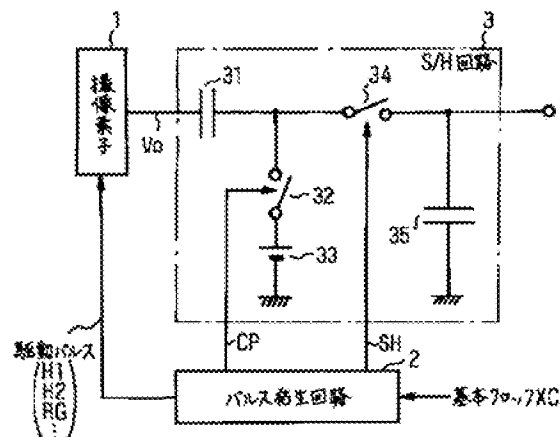
【図10】本発明の更に他の実施例としての撮像装置における要部（位相調整手段）を示すブロック図である。

【図11】本発明の更に別の実施例としての撮像装置における要部（位相調整手段）を示すブロック図である。

【符号の説明】

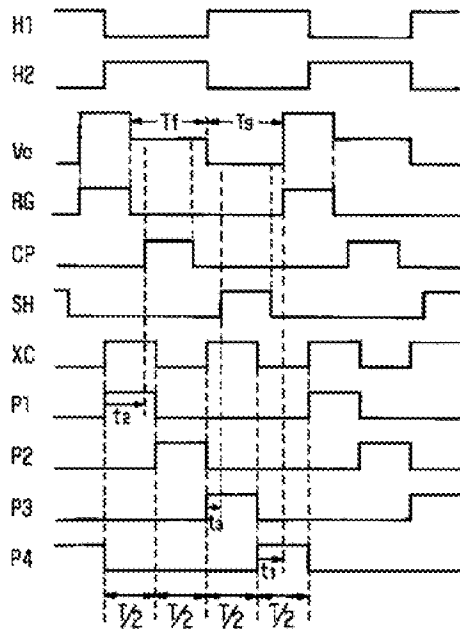
1…撮像素子、2…パルス発生回路、3…S/H（サンプルホールド）回路、4…可変遅延回路、5…位相検出回路、6…制御回路、7…可変遅延回路、8…パルス発生回路、9…温度センサ、XC…基本クロック、XC'…遅延クロック、T1～T4…パルス、C1タイミングデータ、C2…遅延データ、C3…位相データ、C4…温度データ、Vo…撮像素子出力

【図2】

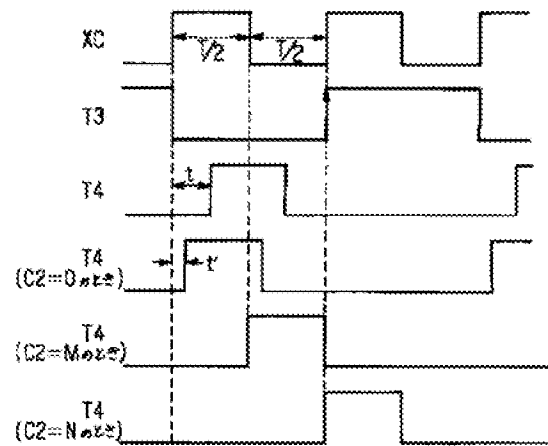




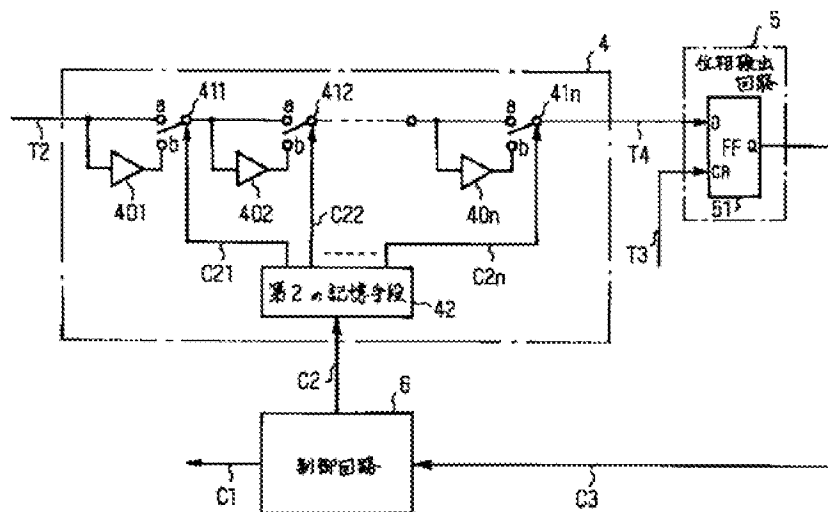
【図3】



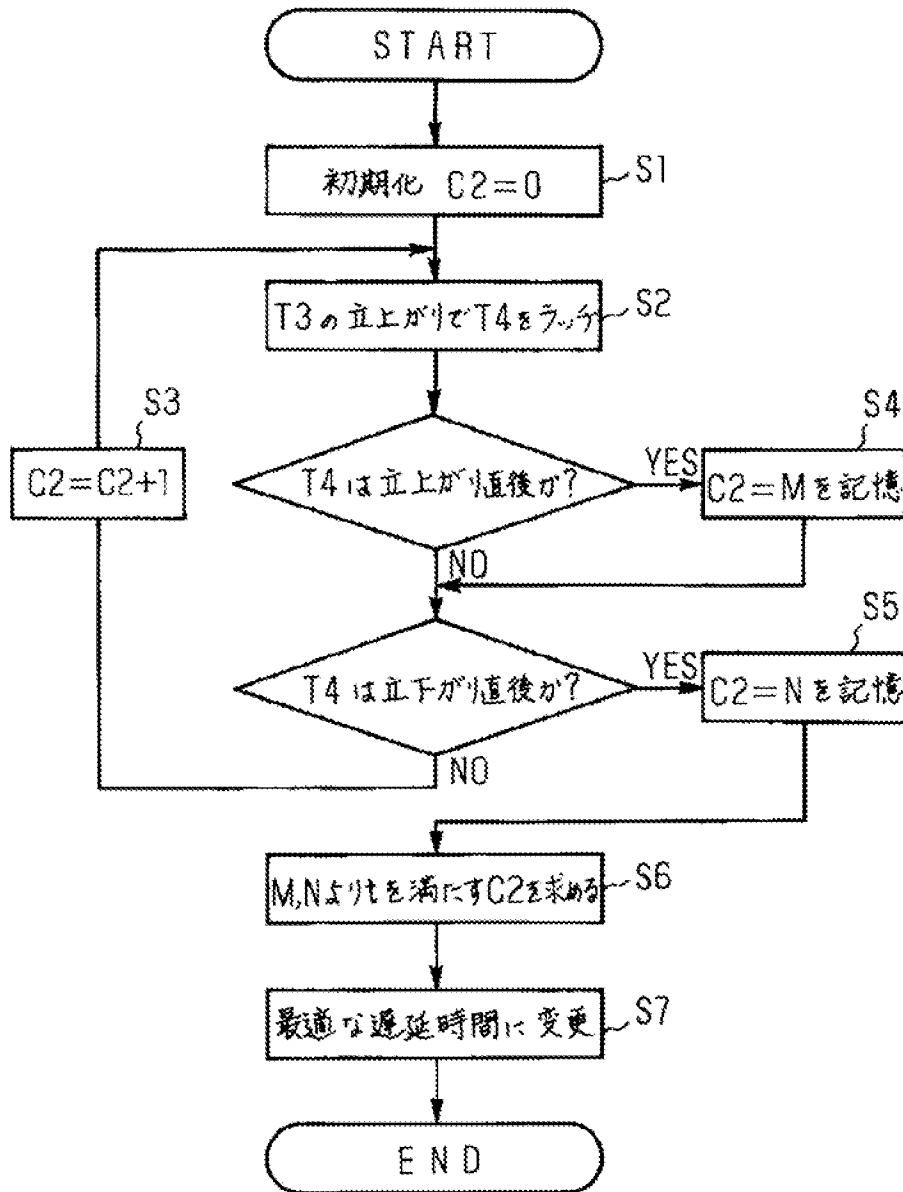
【図4】



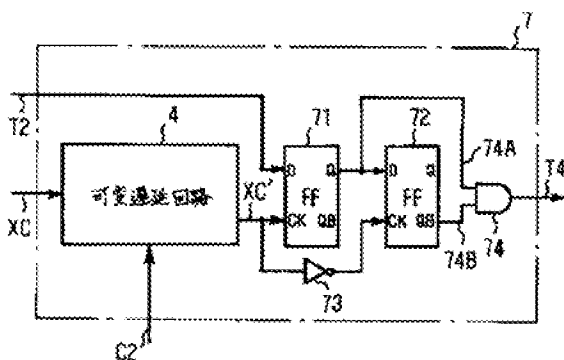
【図5】



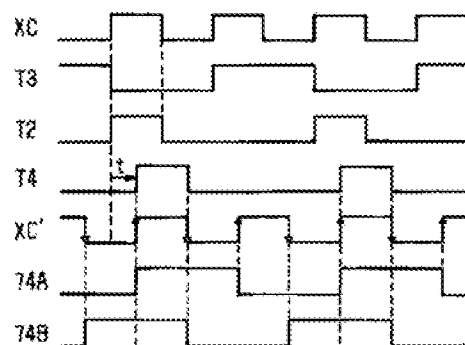
【図6】



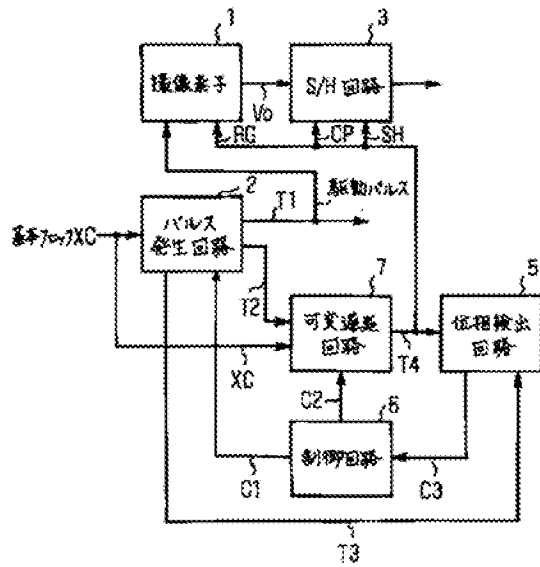
【図8】



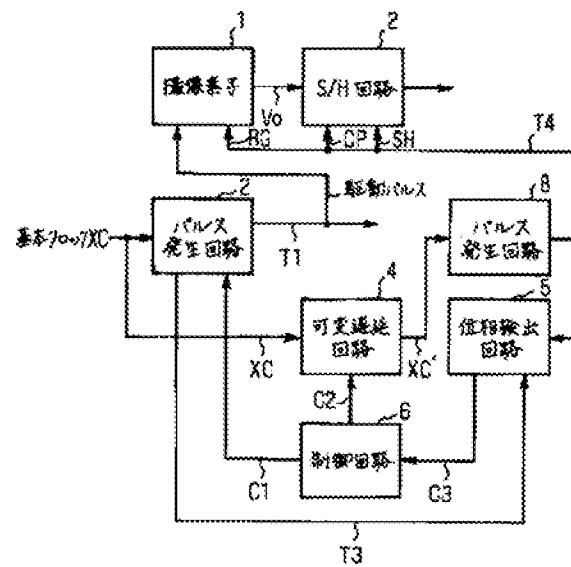
【図9】



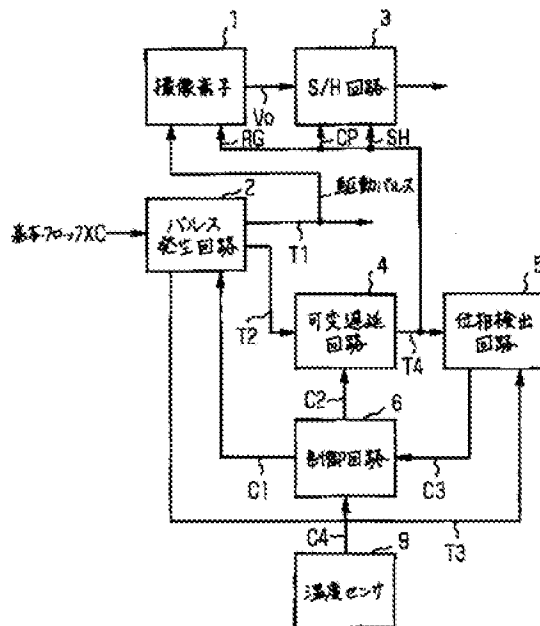
【図 7】



【図 10】



【図 11】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成13年8月17日(2001. 8. 17)

【公開番号】特開平7-143405

【公開日】平成7年6月2日(1995. 6. 2)

【年通号数】公開特許公報7-1435

【出願番号】特願平5-289077

【国際特許分類第7版】

H04N 5/335

【FI】

H04N 5/335 P

【手続補正書】

【提出日】平成12年9月21日(2000. 9. 21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 光電変換により得られた電荷を駆動パルスにより転送し、該転送された電荷を電気信号として出力する撮像素子と、

基本クロックの1又は(1/2)周期単位で位相を調整された前記駆動パルス及びサンプリングパルスを発生するパルス発生回路と、

複数の遅延素子を有し、該遅延素子1つの平均遅延時間を $d$ とすると、遅延時間 $nd$ ( $n$ は整数)の遅延時間の設定が可能であり、前記パルス発生回路から供給されたサンプリングパルスを遅延時間 $nd$ で遅延させて、遅延されたサンプリングパルスを出力する可変遅延回路と、

前記撮像素子から出力された電気信号を、前記可変遅延回路から出力されたサンプリングパルスによりサンプルホールドするサンプリングホールド回路と、

前記駆動パルスに対する前記可変遅延回路から出力されたサンプリングパルスの位相関係を検出する位相検出回路と、

前記位相検出回路により検出された位相関係から前記平均遅延時間 $d$ を求め、該平均遅延時間 $d$ から前記 $n$ を求めることにより、前記可変遅延回路の遅延時間を制御する制御回路とを備えたことを特徴とする撮像素子装置。

【請求項2】 前記可変遅延回路に前記基本クロックを供給し、前記可変遅延回路で前記基本クロックを遅延させることにより、前記遅延されたサンプリングパルスを生成することを特徴とする請求項1に記載の撮像素子装置。

【請求項3】 前記パルス発生回路は、リセットゲートパルスを発生し、

前記可変遅延回路は、前記パルス発生回路から供給された前記リセットゲートパルスを遅延時間 $nd$ で遅延させて、遅延された前記リセットゲートパルスを出力し、前記撮像素子は、前記転送された電荷を電圧に変換するときに、前記可変遅延回路から出力されたリセットゲートパルスを使用し、

前記位相検出回路は、前記駆動パルスに対する前記可変遅延回路から出力された前記リセットゲートパルスの位相関係を検出し、

前記制御回路は、前記位相検出回路により検出された位相関係から前記平均遅延時間 $d$ を求め、前記平均遅延時間 $d$ から前記 $n$ を求めることにより、前記可変遅延回路の遅延時間を制御することを特徴とする請求項1又は2に記載の撮像素子装置。

【請求項4】 前記可変遅延回路に前記基本クロックを供給し、前記可変遅延回路で前記基本クロックを遅延させることにより、前記リセットゲートパルスを生成することを特徴とする請求項3に記載の撮像素子装置。

【請求項5】 駆動パルスにより光電変換により得られた電荷を転送し、該転送された電荷を電気信号として出力する撮像素子と、

該撮像素子から出力された電気信号をサンプリングパルスによりサンプルホールドするサンプリングホールド回路と、

基本クロックの1又は(1/2)周期単位で位相を調整された前記駆動パルスを発生しうる第1のパルス発生回路と、

複数の遅延素子を有し、該遅延素子1つの平均遅延時間を $d$ とすると、遅延時間 $nd$ ( $n$ は整数)の遅延時間の設定が可能であり、前記基本クロックを前記遅延時間 $nd$ で遅延させて、遅延クロックを出力する可変遅延回路と、

前記可変遅延回路から出力された遅延クロックに基づいて前記サンプリングパルスを発生させる第2のパルス発生回路と、

前記駆動パルスに対する前記第2のパルス発生回路から

出力された前記サンプリングパルスの位相関係を検出する位相検出回路と、

前記位相検出回路により検出された位相関係から前記平均遅延時間  $d$  を求め、該平均遅延時間  $d$  から前記  $n$  を求め、前記可変遅延回路の遅延時間を制御する制御回路とを備えたことを特徴とする撮像装置。

【請求項6】 前記撮像素子は、前記転送された電荷を蓄圧に変換するときにリセットゲートパルスを使用し、前記第2のパルス発生回路は、前記可変遅延回路から出力された遅延クロックに基づいて前記リセットゲートパルスを発生し、

前記位相検出回路は、前記駆動パルスに対する前記第2のパルス発生回路から出力された前記リセットゲートパルスの位相関係を検出し、

前記制御回路は、前記位相検出回路により検出された位相関係から前記平均遅延時間  $d$  を求め、前記平均遅延時間  $d$  から前記  $n$  を求め、前記可変遅延回路の遅延時間を制御することを特徴とする請求項5に記載の撮像装置。

【請求項7】 請求項1乃至6のいずれかに記載の撮像装置において、

前記可変遅延回路は、  
複数ゲートを直列接続してなる遅延素子と、  
該遅延素子を構成する直列接続の前記複数ゲートの各々を信号が通過又はバイパスするように信号路を切り替える各ゲート毎の切替スイッチと、

前記値  $n$  に応じて信号通過側にゲートを切り替える前記切替スイッチの数を決定することにより遅延量を可変する手段とを有することを特徴とする撮像装置。

【請求項8】 請求項1乃至7のいずれかに記載の撮像装置において、撮像装置内の温度を検知し温度情報として出力する温度センサと、該センサから温度情報を与えられると前記可変遅延回路における遅延素子の温度特性に依存して温度補償を行うように前記位相情報としての  $n$  の値を修正する前記制御回路と、を具備したことを特徴とする撮像装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明は、撮像装置に関するものであり、更に詳しくは、撮像デバイスを構成する撮像素子を駆動して信号出力を取り出すための駆動パルスと、取り出された前記信号出力をサンプル・ホールドするためのサンプリングパルスと、を少なくとも発生するパルス発生回路を備えた撮像装置に関するものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】本発明は、具体的には、パルス発生回路から発生される、かかる駆動パルス及びサンプリングパルスの相互間の最適な位相調整を可能にして表示画像の高画質化を図るための、かかる位相調整に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】

【課題を解決するための手段】上記目的達成のため、本発明では、撮像デバイスを構成する撮像素子を駆動して信号出力を取り出すための駆動パルスと、取り出された前記信号出力をサンプル・ホールドするためのサンプリングパルスと、を少なくとも発生するパルス発生回路を備えた撮像装置において、前記パルス発生回路のほか、可変遅延回路と、位相検出回路と、制御回路と、を具備することとした。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】

【作用】前記パルス発生回路は、基本クロックを供給されると、該クロックの1又は(1/2)周期単位で位相を調整された駆動パルス及びサンプリングパルスを、それぞれ所定の位相で発生する。可変遅延回路は、前記駆動パルス及びサンプリングパルスのうち、駆動パルスを基準パルスとすると、該基準パルスを除く他のパルスを入力され、単位ゲート遅延時間を  $d$  とするとき、値  $n$  (但し  $n$  は整数) を記憶しておいて、その  $n$  倍の時間  $d \cdot n$  だけ該入力パルスを遅延させて出力する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】位相検出回路は、前記基準パルスと前記可変遅延回路の出力パルスである遅延パルスとを取込み、基準パルスに対する遅延パルスの位相関係を示す位相データを検出する。制御回路は、検出された前記位相データを前記位相検出回路から与えられると、この位相データと前記可変遅延回路における時間  $d \cdot n$  とから、単位ゲートの平均遅延時間  $d$  を割り出し、さらに、該平均遅延時間  $d$  から、前記基準パルスに対して前記遅延パルスが、既知の最適位相になるまで、該遅延パルスを遅延さ

せるのに必要な前記nの値を改めて位相情報として演算により求め、前記可変遅延回路に記憶されているnの値

を、その位相情報で書き替える。